

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
1. April 2004 (01.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2004/027861 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/8242**,  
27/108, 27/12

(21) Internationales Aktenzeichen: **PCT/DE2003/003044**

(22) Internationales Anmeldedatum:  
13. September 2003 (13.09.2003)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
102 42 877.8 16. September 2002 (16.09.2002) **DE**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.  
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HOFMANN, Franz**  
[DE/DE]; Herbergstrasse 25B, 80995 München (DE).  
**LEHMANN, Volker** [DE/DE]; Geyerspergerstrasse  
53, 80689 München (DE). **RISCH, Lothar** [DE/DE];  
Tizianstrasse 27, 85579 Neubiberg (DE). **RÖSNER,**  
**Wolfgang** [DE/DE]; Sudetenstrasse 23, 85521 Ottobrunn  
(DE). **SPECHT, Michael** [DE/DE]; Schraudolphstrasse  
42, 80799 München (DE).

(74) Anwalt: **KARL, Frank**; Patentanwälte Kindermann,  
Postfach 1330, 85627 Grasbrunn (DE).

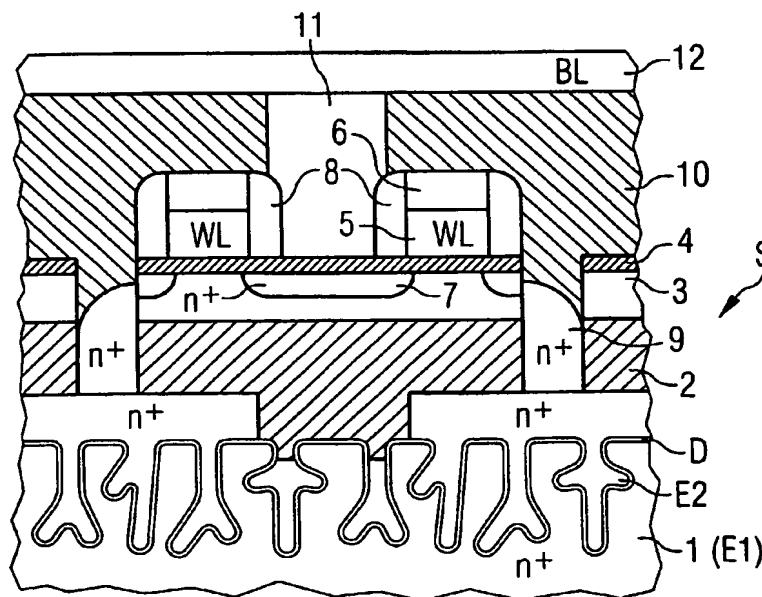
(81) Bestimmungsstaaten (national): **CN, SG, US.**

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: **SEMI-CONDUCTOR COMPONENT WITH CONDENSATORS BURIED IN THE SUBSTRATE AND INSULATED  
COMPONENT LAYER THEREOF**

(54) Bezeichnung: **HALBLEITERBAUTEIL MIT IM SUBSTRAT VERGRABENEN KONDENSATOREN UND DAVON ISO-  
LIERTER BAUELEMENTSCHICHT**



(57) Abstract: The invention relates to a semi-conductor substrate and a semi-conductor circuit embodied therein and a production method associated therewith. A plurality of cavities (P) provided with a respective dielectric layer (D) and a capacitor-electrode (E2) are embodied in order to produce capacitors buried in a carrier substrate and an actual semi-conductor component layer (3) is insulated from the carrier substrate (1) by an insulation layer (2).

[Fortsetzung auf der nächsten Seite]



**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

**(57) Zusammenfassung:** Die Erfindung betrifft ein Halbleitersubstrat sowie eine darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren, wobei zur Realisierung von vergrabenen Kondensatoren in einem Trägersubstrat (1) eine Vielzahl von Vertiefungen (P) mit einer jeweiligen dielektrischen Schicht (D) und einer Kondensator-Elektrode (E2) ausgebildet sind und eine eigentliche Halbleiter-Bauelementschicht (3) durch eine Isolationsschicht (2) vom Trägersubstrat (1) isoliert ist.

# HALBLEITERBAUTEIL MIT IM SUBSTRAT VERGRABENEN KONDENSATOREN UND DAVON ISOLIERTER BAUELEMENTSCHICHT

Die vorliegende Erfindung bezieht sich auf ein Halbleitersubstrat sowie eine darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren und insbesondere auf ein SOI-Substrat, in dem eine Vielzahl von vergrabenen Kondensatoren ausgebildet sind.

Bei der unvermindert fortschreitenden Erhöhung der Integrationsdichte von Halbleiterschaltungen und insbesondere einer Speicherdichte von DRAMs (Dynamic Random Access Memories) stößt man mehr und mehr auf Probleme, die notwendige Speicherkapazität auf der kleiner werdenden Zellfläche unterzubringen. Obwohl die technische Verfeinerung sowohl von sogenannten Trench- bzw. Graben- wie auch von Stacked- bzw. Stapel-Kondensatoren schon weit vorgeschritten ist, werden diese Prozesse in den nächsten Generationen an ihre Grenzen stoßen.

Darüber hinaus stellen integrierte Kondensatoren in Logik- und Analog-Halbleiterschaltungen einen erheblichen Zusatzaufwand dar. Dies gilt insbesondere für hochdichte sogenannte "Embedded DRAMs", da das hoch-optimierte und sehr platzsparende Zelldesign von modernen DRAMs einen Herstellprozess erfordert, der nicht mehr leicht mit einem Logik-Prozess kombiniert werden kann.

Insbesondere die Speicherkondensatoren in DRAMs haben eine langjährige Evolution hinter sich mit dem Ziel, die Kapazität trotz der immer geringer werdenden Zellfläche bei ca. 30 fF nahezu konstant zu halten. Zur Realisierung derartiger Kondensatoren werden hierbei zwei unterschiedliche Ausführungsformen unterschieden. Erstens der „stacked capacitor“ bzw. Stapelkondensator, der nach Fertigstellung eines Auswahltransistors hergestellt und über ein eigenes Kontaktloch mit dem

Transistor verbunden wird, wobei sich eine Oberflächenvergrößerung der Speicherelektrode beispielsweise durch eine zylindrische Ausgestaltung ergibt. Als zweite Ausführungsform ist der „trench capacitor“ bzw. Grabenkondensator bekannt, wobei vor dem Ausbilden des Auswahltransistors ein Loch mit sehr hohem Aspektverhältnis (Tiefe:Durchmesser) in ein Halbleitersubstrat geätzt und der Kondensator darin hergestellt wird. In beiden Varianten kann zur weiteren Kapazitätsvergrößerung die Oberfläche der Elektrode durch halbkugelförmige Halbleiterturner (Hemispherical Grains, HFG) aufgeraut werden. Trotz dieser technologischen Anstrengungen wird man mit den weiterentwickelten herkömmlichen Kondensatoren in absehbarer Zeit nicht mehr die erforderliche Kapazität erreichen können.

Ferner ist aus der Druckschrift EP 0 921 572 A1 ein Verfahren zur Herstellung von Kondensatoren für eine DRAM-Zelle bekannt, wobei in einem ersten Halbleitersubstrat eine Halbleiterschaltung und in einem zweiten Si-Substrat mittels elektrochemischen Porenätzens eine Vielzahl von Kondensatoren ausgebildet werden. Die beiden so vorbereiteten Substrate werden anschließend derart miteinander in Kontakt gebracht, dass die Kontaktflächen der Halbleiterschaltung eine vorbestimmte Anzahl von Kondensatoren berühren, wodurch sich für die Schaltung vorbestimmte Gesamt-Kondensatoren ergeben. Nachteilig sind hierbei jedoch erhöhte Schwierigkeiten bei der Kontaktierung der fertigen Halbleiterschaltung sowie kontaktflächenabhängige Kapazitäten.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleitersubstrat sowie eine darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren zu schaffen, wobei auf besonders einfache und kostengünstige Art und Weise große Kapazitäten realisierbar sind.

Hinsichtlich des Halbleitersubstrats wird diese Aufgabe insbesondere durch ein Trägersubstrat und einer Halbleiter-

Bauelementschicht mit einer dazwischenliegenden Isolations-  
schicht gelöst, wobei im Trägersubstrat eine Vielzahl von  
Vertiefungen mit einer dielektrischen Schicht und einer  
elektrisch leitenden Schicht zur Realisierung einer Vielzahl  
von Kondensatoren ausgebildet ist. Bei Verwendung eines der-  
artigen Halbleitersubstrats kann weiterhin eine einfache  
Kontaktierung einer darin ausgebildeten Halbleiterschaltung  
durchgeführt werden, wobei ferner Kondensatoren mit erhöhter  
Kapazität zur Verfügung stehen.

Vorzugsweise wird die zur Ausbildung der Vielzahl von Kondensator-Elektroden verwendete elektrisch leitende Schicht auch an der Oberfläche des Trägersubstrats ausgebildet, wodurch eine Vielzahl von Einzel-Kondensatoren gruppenmäßig zusammengefasst werden können und fest vorgegebene Kapazitäten realisierbar sind. Bei einer entsprechenden Strukturierung dieser elektrisch leitenden Schicht zur Realisierung eines Gruppen-Kondensators mit einer Kapazität von ca. 30 fF können insbesondere die im DRAM notwendigen Speicherkondensatoren bereits vorgefertigt im Halbleitersubstrat vorliegen.

Vorzugsweise erfolgt das Ausbilden der Vertiefungen für die Kondensatoren durch elektrochemisches Porenätzen, wodurch man ein feinverasteltes Porensystem mit außerordentlich großer Oberfläche erhält und ferner Kurzschlüsse bzw. Querverbindungen innerhalb der Poren automatisch verhindert werden.

Vorzugsweise wird für die in den Poren ausgebildete dielektrische Schicht ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante verwendet, wodurch man einerseits erhöhte Kapazitäten und andererseits eine verbesserte Unempfindlichkeit für die nachfolgenden Prozessschritte bei der Realisierung einer Halbleiterschaltung in der Halbleiter-Bauelementschicht erhält.

Vorzugsweise basiert das Halbleitersubstrat auf einem SOI-Substrat mit einer einkristallinen Si-Schicht als Bauelement-

schicht, einer  $\text{SiO}_2$ -Schicht als Isolationsschicht und einem Si-Substrat als Trägersubstrat, weshalb bereits bekannte Herstellungsverfahren kostengünstig modifizierbar sind und weiterhin im Einsatz befindliche Standardprozesse und Fertigungsvorrichtungen verwendet werden können.

Hinsichtlich des Verfahrens zur Herstellung eines Halbleitersubstrats wird zunächst eine Vielzahl von Vertiefungen sowie eine Kondensator-Gegenelektrode in einem Trägersubstrat ausgebildet und anschließend eine dielektrische Schicht an der Oberfläche der Vertiefungen sowie des Trägersubstrats hergestellt. Daraufhin wird eine elektrisch leitende Schicht zur Realisierung einer Vielzahl von Kondensator-Elektroden zumindest in der Vielzahl von Vertiefungen ausgebildet und eine erste Isolations-Teilschicht ganzflächig erzeugt. Ferner wird ein Halbleiter-Bauelementsubstrat mit einer darin ausgebildeten Abspalt-Grenzschicht und einer zweiten Isolations-Teilschicht bereitgestellt und mit dem Trägersubstrat über die jeweiligen Isolations-Teilschichten miteinander verbunden. Abschließend erfolgt ein Abspalten eines Teils des Halbleiter-Bauelementsubstrats an der Abspalt-Grenzschicht, wodurch man das endgültige Halbleitersubstrat mit der im Trägersubstrat ausgebildeten Vielzahl von Kondensatoren auf besonders einfache und kostengünstige Art und Weise erhält.

Vorzugsweise wird das Ausbilden der Vertiefungen durch ein elektrochemisches Porenätzen zum Ausbilden von Poren in einem aus Halbleitermaterial bestehenden Trägersubstrat und das Ausbilden der Kondensator-Gegenelektrode durch ein Dotieren des Trägersubstrats in der Umgebung der Poren realisiert.

Als Kondensatordielektrikum wird vorzugsweise nitridiertes Oxid,  $\text{Al}_2\text{O}_3$  und/oder  $\text{TiO}_2$  verwendet, wodurch man sowohl eine hohe Temperaturfestigkeit als auch eine hohe Dielektrizitätskonstante erhält.

Als elektrisch leitende Schicht zur Realisierung der Kondensator-Elektroden wird vorzugsweise ein in-situ dotiertes Halbleitermaterial abgeschieden und derart strukturiert, dass eine Vielzahl von Einzel-Kondensatoren zu einem Gruppen-Kondensator zusammengefasst werden können.

Hinsichtlich der Halbleiterschaltung wird in dem erfindungsgemäßen Halbleitersubstrat als Halbleiterbauelement vorzugsweise eine DRAM-Speicherzelle ausgebildet, wobei eine Kontaktierung der im Trägersubstrat befindlichen Kondensatoren über ein mit einer Verbindungsschicht gefülltes Kontaktloch erfolgt, welches in der Isolationsschicht des Halbleitersubstrats ausgebildet ist.

In den weiteren Ansprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend an Hand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figuren 1A bis 1D

vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte bei der Herstellung eines Halbleitersubstrats gemäß einem ersten Ausführungsbeispiel;

Figuren 2A und 2B

vereinfachte Schnittansichten zur Veranschaulichung eines Halbleitersubstrats gemäß einem zweiten Ausführungsbeispiel sowie eines zugehörigen Verfahrensschrittes zur Herstellung von Kontaktlöchern; und

Figuren 3A bis 3C

vereinfachte Schnittansichten zur Veranschaulichung eines Herstellungsverfahrens einer DRAM-Speicherzelle.

Figuren 1A bis 1C zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleitersubstrats gemäß einem ersten bevorzugten Ausführungsbeispiels.

Gemäß Figur 1A wird in einem Trägersubstrat 1, welches beispielsweise ein Halbleitersubstrat und vorzugsweise einen Silizium-Halbleiterwafer darstellt, eine Vielzahl von Vertiefungen P sowie eine Kondensator-Gegenelektrode E1 ausgebildet. Vorzugsweise wird mittels eines elektrochemischen Porenätzverfahrens eine Vielzahl von Poren P als Vertiefungen im Trägersubstrat 1 ausgebildet, welches z.B. n-dotiertes Silizium aufweist. Das Trägersubstrat besitzt beispielsweise eine Dotierstoffkonzentration von ca.  $10^{18} \text{ cm}^{-3}$  und wird zunächst mit einem ersten Spannungsanschluss verbunden und in eine Flusssäurelösung (25 Gew.-%) eingetaucht. In der Flusssäurelösung befindet sich eine Elektrode, die mit einem zweiten Spannungsanschluss verbunden ist. Anschließend wird eine Spannung zwischen dem ersten Spannungsanschluss und dem zweiten Spannungsanschluss erzeugt, die ca. 2 Volt beträgt. Die Spannungsdifferenz zwischen dem ersten und zweiten Spannungsanschluss ist hierbei positiv, wobei eine entstehende Stromdichte ca.  $100 \text{ mA/cm}^2$  beträgt. Bei diesem elektrochemischen Porenätzverfahren entstehen nach einigen Minuten ca. 100 nm breite und einige Mikrometer tiefe Poren P im Trägersubstrat 1, wobei die Abstände zwischen benachbarten Poren P etwa gleich groß sind, ca. 20 nm betragen und die Poren räumlich nicht regelmäßig angeordnet sind.

Zur Erzeugung der Kondensator-Gegenelektrode E1 im Trägersubstrat 1 wird beispielsweise in der Umgebung der Poren P eine Dotierung des Halbleitermaterials durchgeführt. Vorzugsweise wird zur Ausbildung einer hochdotierten und somit elektrisch



leitenden Schicht ein Dotierglas in den Poren P ausgebildet und nachfolgend durch eine thermische Behandlung in das Trägersubstrat 1 ausdiffundiert. Abschließend erfolgt eine vorzugsweise nass-chemische Entfernung des Dotierglases, wodurch man die in Figur 1A dargestellte Schnittansicht erhält. Vorzugsweise wird als Dotierstoffquelle Phosphorsilikatglas mit einer Dicke von einigen Nanometern in den Poren P abgeschieden, wodurch man eine  $n^+$ -Dotierung an der gesamten Oberfläche im Bereich der Poren P im Trägersubstrat 1 erhält. Alternativ kann selbstverständlich auch eine Dotierung aus der Gasphase insbesondere bei geringen Drücken erfolgen, wie sie beispielsweise bei der Herstellung von Grabenkondensatoren bekannt ist. Als Ätzmittel zum Entfernen des Dotierglases wird vorzugsweise Flusssäure verwendet, wobei auch andere Ätzmittel verwendet werden können.

Die durch das elektrochemische Porenätzen ausgebildeten Poren P können demzufolge ohne gezielte Keim-Bildung in einer zufälligen Anordnung erzeugt sein, wobei ihre Dichte, ihr mittlerer Durchmesser, die Dicke der Trennwände und die Länge durch die Parameter des Verfahrens, wie z.B. Halbleiter-Dotierung, Konzentration des Ätzmittels, Stromstärke, Spannung und Ätzdauer über einen weiten Bereich eingestellt werden kann.

Gemäß Figur 1B wird anschließend an der Oberfläche der Vertiefungen P sowie des Trägersubstrats 1 eine dielektrische Schicht D ausgebildet, wobei vorzugsweise nitridiertes Oxid,  $Al_2O_3$  und/oder  $TiO_2$  als Kondensatordielektrikum ganzflächig ausgebildet wird. Demzufolge kann zur Ausbildung eines nitridierten Oxids zunächst eine thermische Oxidation des Trägersubstrats 1 und eine anschließende Nitridierung durchgeführt werden. Alternativ kann zur Realisierung der weiterhin möglichen Kondensatordielektrika  $Al_2O_3$  und/oder  $TiO_2$  eine Abscheidung entsprechender Materialien durchgeführt werden. Insbesondere bei Verwendung von hochtemperaturfesten Kondensatordielektrika, die darüber hinaus eine hohe Dielektrizitäts-

konstante aufweisen, erhält man somit ein Halbleitersubstrat, welches für eine Vielzahl von Standardprozessen, d.h. auch Hochtemperaturprozessen, geeignet ist und darüber hinaus Kondensatoren mit hoher Kapazität realisiert.

Nach dem ganzflächigen Ausbilden dieser dielektrischen Schicht D in den Poren P sowie an der Oberfläche des Trägersubstrats 1 wird anschließend eine elektrisch leitende Schicht E2 zur Realisierung einer Vielzahl von Kondensator-Elektroden zumindest in der Vielzahl von Vertiefungen P auf der dielektrischen Schicht D ausgebildet.

Zur Realisierung der dielektrischen Schicht D und/oder der elektrisch leitenden Schicht E2 kann insbesondere ein sogenanntes ALD-Verfahren (Atomic Layer Deposition) zum Ausbilden von Schichten in der Größenordnung einzelner Atomlagen verwendet werden.

Gemäß Figur 1B wird beispielsweise ein in-situ dotiertes polykristallines Halbleitermaterial und vorzugsweise in-situ dotiertes Polysilizium ganzflächig abgeschieden, wodurch nicht nur die Poren P vollständig aufgefüllt werden, sondern darüber hinaus eine alle Poren bedeckende Schicht an der Oberfläche des Trägersubstrats 1 ausgebildet wird. Zur Strukturierung dieser elektrisch leitenden Schicht E2 wird vorzugsweise ein fotolithografisches Verfahren durchgeführt, wobei mittels herkömmlicher Fotolacke, nachfolgender Belichtung und abschließender Ätzung die elektrisch leitende Schicht E2 derart strukturiert wird, dass eine Vielzahl von im Trägersubstrat 1 ausgebildeten Einzel-Kondensatoren (bzw. Kondensator-Elektroden) oder Gruppen-Kondensatoren entstehen, wobei gemäß Figur 1C eine vorbestimmte Anzahl von Einzel-Kondensatoren (bzw. Kondensator-Elektroden) zu einer Gruppe zusammengefasst werden und einen Gruppen-Kondensator mit vorbestimmter Kapazität realisieren. Insbesondere bei der Realisierung von Halbleitersubstraten für sogenannte DRAM-Speichereinrichtungen kann eine derartige Strukturierung

derart eingestellt werden, dass sich jeweils Gruppen-Kondensatoren mit einer gewünschten Kapazität von ca. 30 fF ergeben, wie sie üblicherweise in DRAM-Zellen notwendig sind.

Eine derartige Strukturierung erfolgt vorzugsweise mittels anisotroper Rückätzverfahren, wie beispielsweise RIE (Reactive Ion Etching). Zur Vermeidung eines Kurzschlusses zwischen der äußeren Kondensator-Gegenelektrode E1 und der inneren bzw. Kondensator-Elektrode E2 wird die dielektrische Schicht D vorzugsweise nicht entfernt.

Gemäß Figur 1C wird anschließend an dieser bearbeiteten Oberfläche des Trägersubstrats 1 eine erste Isolations-Teilschicht 2A ganzflächig ausgebildet, wobei vorzugsweise ein TEOS-Abscheideverfahren (Tetra Ethyl Ortho Silicat) durchgeführt wird. Zur Realisierung einer planaren Oberfläche kann nach dem Ausbilden der Isolations-Teilschicht 2A und insbesondere nach dem Abscheiden einer TEOS-Schicht vorzugsweise ein CMP-Verfahren (Chemical Mechanical Polishing) durchgeführt werden.

Gemäß Figur 1C wird ferner ein weiteres Halbleiter-Bauelementsubstrat 3 mit einer Abspalt-Grenzschicht 3S und einer zweiten Isolations-Teilschicht 2B bereitgestellt, wobei vorzugsweise wiederum ein Siliziumhalbleiterwafer mit einer Siliziumdioxidschicht 2B bereitgestellt und die Abspalt-Grenzschicht mittels Wasserstoff-Implantation ausgebildet wird.

Anschließend werden diese beiden Substrate an bzw. über ihre Isolations-Teilschichten 2A und 2B zum Ausbilden einer gemeinsamen Isolationsschicht 2 miteinander verbunden, wobei vorzugsweise herkömmliches Waferbonden durchgeführt wird. Genauer gesagt wird insbesondere bei Verwendung von Siliziumdioxid als Isolations-Teilschichten 2A und 2B aufgrund ihrer hydrophilen Eigenschaften eine Anziehungskraft auf die beiden Substrate an der Verbindungsoberfläche ausgeübt, wobei durch

eine zusätzliche thermische Behandlung eine mechanisch sehr feste Verbindung realisiert wird und auf die Verwendung zusätzlicher Verbindungs- bzw. Klebmaterialien verzichtet werden kann.

Gemäß Figur 1D wird abschließend ein (oberer) Teil des Halbleiter-Bauelementsubstrats 3 an der Abspalt-Grenzschicht 3S abgespalten, wodurch man das fertige Halbleitersubstrat S mit einer Vielzahl von eingegrabenen Kondensatoren erhält. Vorzugsweise erfolgt dieser Abspaltvorgang durch eine weitere thermische Behandlung, wobei im Falle der vorstehend beschriebenen Wasserstoff-Implantation der obere Teil des Wafers entlang der implantierten Abspalt-Grenzschicht abplatzt bzw. abgespalten wird. Alternativ zu diesem als „smart cut“-Verfahren bekannten Abspaltvorgang können auch weitere Verfahren wie z.B. das sogenannte „ELTRAN“-Verfahren durchgeführt werden, wobei als Abspalt-Grenzschicht 3S eine poröse Halbleiterschicht verwendet wird und mittels eines Flüssigkeitsstrahls ein Abheben des oberen Teils des Halbleiter-Bauelementsubstrats 3 durchgeführt werden kann.

Figur 2A und Figur 2B zeigen vereinfachte Schnittansichten zur Veranschaulichung eines Halbleitersubstrats gemäß einem zweiten Ausführungsbeispiel sowie eines Verfahrensschrittes zur Realisierung von Kondensatoren mit unterschiedlichen Kapazitäten, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten bzw. Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 2A kann eine Strukturierung der elektrisch leitenden Schicht E2 auch derart erfolgen, dass keine Gruppierung von Einzel-Kondensatoren erfolgt, wie in Figur 1C dargestellt, sondern die an der Oberfläche des Trägersubstrats abgeschiedene elektrisch leitende Schicht E2 vollständig bis an die Oberfläche des Trägersubstrats 1 bzw. die dielektrische Schicht D zurückgeätzt wird oder die elektrisch leitende Schicht E2 lediglich bis zur Oberfläche der Poren P aufge-

füllt wird. Auf diese Weise erhält man keine elektrisch leitende Verbindung der einzelnen Kondensatoren bzw. Kondensator-Elektroden E2, weshalb eine Definition der Kondensatorkapazität ausschließlich über die Größe eines Kontaktloches erfolgen kann.

Gemäß Figur 2B können demzufolge mittels einer Maskenschicht M unterschiedlich große Kontaktlöcher V1 und V2 ausgebildet werden, die eine unterschiedliche Anzahl von Einzel-Kondensatoren bzw. Anzahl von Kondensator-Elektroden E2 freilegen, wodurch eine feingranulare Einstellung einer Kapazität auch in einem späteren Herstellungsprozess zur Realisierung einer jeweiligen Halbleiterschaltung realisiert werden kann.

Figuren 3A bis 3C zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung einer Halbleiterschaltung in einem Halbleitersubstrat gemäß dem ersten Ausführungsbeispiel, wobei gleiche Bezugszeichen wiederum gleiche Schichten bzw. Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3A wird zur Realisierung einer DRAM-Speicherzelle mit einem Auswahltransistor und einem Porenkondensator PK (d.h. in einer Gruppe zusammengefassten Anzahl von vergrabenen Einzel-Kondensatoren) zunächst eine (nicht dargestellte) flache Grabenisolierung in der Halbleiter-Bauelementschicht 3 zur Realisierung von aktiven Gebieten ausgebildet.

Anschließend wird gemäß Figur 3B beispielsweise ein herkömmlicher Prozesskomplex für MOS-Transistoren zur Realisierung eines Auswahltransistors AT als auszubildendes Halbleiterbauelement mit Source-/Draingebieten 7, einem Gatedielektrikum bzw. einer Gateoxidschicht 4, einer Steuerschicht 5 bzw. Wortleitung WL und einer Gateisolation bzw. -Kapselung, die beispielsweise eine Nitrid-Abdeckschicht 6 und Nitrid-Spacer 8 aufweist, durchgeführt. Hinsichtlich der einzelnen Verfah-

rensschritte wird hierbei explizit auf die bekannten Standard MOS-Verfahren verwiesen.

Anschließend wird zur Realisierung eines Anschlussbereiches zum vergrabenen Kondensator bzw. zur Kondensator-Elektrode E2 ein Kontaktloch V zumindest in der Isolationsschicht 2 und der Halbleiter-Bauelementschicht 3 ausgebildet, wobei bei Vorliegen der Gateoxidschicht bzw. des Gatedielektrikums 4 auch diese Schicht lokal entfernt werden kann.

Gemäß Figur 3B wird dieses Kontaktloch V unmittelbar an den Seitenwänden der Spacer 8 der Auswahltransistoren AT ausgebildet, wodurch ein jeweiliges Source-/Draingebiet 7 sowie eine zugehörige Kondensator-Elektrode E2 freigelegt wird. Demzufolge kann ein relativ ungenaues fotolithografisches Verfahren zur Realisierung der Kontaktlöcher V verwendet werden, wobei lediglich eine Überlappung der Lithografie-Öffnungen mit der Auswahltransistorkapselung bzw. den Spacern 8 und der Abdeckschicht 6 sichergestellt werden muss. Demzufolge können die Kontaktlöcher V selbstjustierend ausgebildet werden.

Vorzugsweise wird zum Entfernen der Isolationsschicht 2 der Halbleiter-Bauelementschicht 3 und gegebenenfalls des Gatedielektrikums 4 im Bereich des Kontaktloches V ein anisotropes Ätzverfahren und insbesondere ein reaktives Ionenätzen (RIE) durchgeführt.

Gemäß Figur 3C wird anschließend eine Verbindungsschicht 9 im Kontaktloch V zwischen Halbleiterbauelement bzw. dem Source-/Draingebiet 7 des Auswahltransistors AT und zumindest einer Kondensator-Elektrode E2 ausgebildet. Vorzugsweise wird zum Ausbilden dieser Verbindungsschicht 9 eine weitere in-situ dotierte polykristalline Halbleiterschicht und insbesondere polykristallines Silizium ganzflächig abgeschieden und anschließend isotrop oder anisotrop bis in das Kontaktloch V zurückgeätzt.

Zur Fertigstellung der DRAM-Speicherzelle wird abschließend eine Zwischen-Isolationsschicht 10 mit einem Bitleitungskontakt 11 ausgebildet, die ein jeweiliges komplementäres Source-/Draingebiet 7 des Auswahltransistors AT kontaktiert. Zur Realisierung einer Bitleitung BL wird schließlich an der Oberfläche der Zwischen-Isolationsschicht 10 in üblicher Weise noch eine elektrisch leitende Bitleitungsschicht 12 ausgebildet und strukturiert, wodurch man die in Figur 3C dargestellte endgültige Schnittansicht einer erfindungsgemäßen DRAM-Speicherzelle erhält.

Die Erfindung wurde vorstehend an Hand eines SOI-Substrats mit einem Si-Trägersubstrat, einer SiO<sub>2</sub>-Isolationsschicht und einer einkristallinen Si-Halbleiter-Bauelementschicht beschrieben, wobei als elektrisch leitende Schicht polykristallines Silizium und als dielektrische Schicht nitridiertes Oxid verwendet wird. In gleicher Weise können selbstverständlich auch alternative Materialien und entsprechende Schichten zur Realisierung des erfindungsgemäßen Halbleitersubstrats und der zugehörigen Halbleiterschaltung verwendet werden. Insbesondere kann als Trägersubstrat auch ein elektrisch leitendes oder elektrisch isolierendes Substrat mit integrierter Kondensator-Gegenelektrode verwendet werden. In gleicher Weise können neben den dargestellten Dotierungen auch die jeweils entgegengesetzten Dotierungen verwendet werden. Insbesondere für die elektrisch leitende Schicht können auch metallische Materialien zur Realisierung der Kondensator-Gegenelektroden verwendet werden.

Ferner ist die Erfindung nicht auf die dargestellte DRAM-Zelle beschränkt, sondern umfasst in gleicher Weise jegliche Halbleiterbauelemente, die in einem erfindungsgemäßen Halbleitersubstrat ausgebildet sind und über ein Kontaktloch sowie einer darin befindlichen Verbindungsschicht einen vergrabenen Kondensator Kontaktieren.

## Patentansprüche

1. Halbleitersubstrat mit  
einem Trägersubstrat (1);  
einer Halbleiter-Bauelementschicht (3); und  
einer Isolationsschicht (2), die zwischen dem Trägersubstrat  
(1) und der Halbleiterbauelement-Schicht (3) ausgebildet ist,  
g e k e n n z e i c h n e t d u r c h  
eine Vielzahl von Vertiefungen (P), die in einer der Isolati-  
onsschicht (2) zugewandten Oberfläche im Trägersubstrat (1)  
ausgebildet ist;  
eine dielektrische Schicht (D), die an der Oberfläche der  
Vielzahl von Vertiefungen (P) sowie des Trägersubstrats (1)  
ausgebildet ist; und  
eine elektrisch leitende Schicht (E2), die zumindest in der  
Vielzahl von Vertiefungen (P) zur Realisierung einer Vielzahl  
von Kondensator-Elektroden ausgebildet ist, wobei  
im Trägersubstrat (1) zur Realisierung von Kondensator-Gegen-  
elektroden (E1) zumindest im Bereich der Vertiefungen eine  
weitere elektrisch leitende Schicht ausgebildet ist.
2. Halbleitersubstrat nach Patentanspruch 1, d a d u r c h  
g e k e n n z e i c h n e t , dass die elektrisch leitende  
Schicht (E2) auch an der Oberfläche des Trägersubstrats (1)  
ausgebildet ist und eine Gruppe der Vielzahl von Kondensator-  
Elektroden zur Realisierung von Gruppen-Kondensatoren (PK)  
miteinander verbindet.
3. Halbleitersubstrat nach Patentanspruch 2, d a d u r c h  
g e k e n n z e i c h n e t , dass die Gruppen-Kondensatoren (PK)  
eine Kapazität von ca. 30 fF aufweisen.
4. Halbleitersubstrat nach einem der Patentansprüche 1 bis 3,  
d a d u r c h g e k e n n z e i c h n e t , dass die Vertiefungen  
(P) durch elektrochemisches Porenätzen ausgebildete Poren  
darstellen.



5. Halbleitersubstrat nach einem der Patentansprüche 1 bis 4, dadurch gekennzeichnet, dass das Trägersubstrat (1) ein halbleitendes Material, wobei die Kondensator-Gegenelektrode (E1) ein im Halbleitermaterial ausgebildetes Dotiergebiet darstellt, oder ein leitendes Material aufweist.

6. Halbleitersubstrat nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass die dielektrische Schicht (D) ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante aufweist.

7. Halbleitersubstrat nach einem der Patentansprüche 1 bis 6, dadurch gekennzeichnet, dass die elektrisch leitende Schicht (E2) dotiertes polykristallines Halbleitermaterial aufweist.

8. Halbleitersubstrat nach einem der Patentansprüche 1 bis 7, dadurch gekennzeichnet, dass es ein SOI-Substrat mit einer einkristallinen SI-Schicht als Halbleiter-Bauelementschicht (3); einer SiO<sub>2</sub>-Schicht als Isolationsschicht (2); einer Poly-Si-Schicht als elektrisch leitender Schicht (E2); und einem Si-Substrat als Trägersubstrat (1) aufweist.

9. Verfahren zur Herstellung eines Halbleitersubstrats mit den Schritten:

- a) Ausbilden einer Vielzahl von Vertiefungen (P) und einer Kondensator-Gegenelektrode (E1) in einem Trägersubstrat (1);
- b) Ausbilden einer dielektrischen Schicht (D) an der Oberfläche der Vertiefungen (P) sowie des Trägersubstrats (1);
- c) Ausbilden und Strukturieren einer elektrisch leitenden Schicht (E2) auf der dielektrischen Schicht (D) zur Realisierung einer Vielzahl von Kondensator-Elektroden zumindest in der Vielzahl von Vertiefungen (P);

- d) Ausbilden einer ersten Isolations-Teilschicht (2A) an der bearbeiteten Oberfläche des Trägersubstrats (1);
- e) Bereitstellen eines Halbleiter-Bauelementsubstrats (3) mit einer Abspalt-Grenzschicht (3S) und einer zweiten Isolations-Teilschicht (2B);
- f) Verbinden des Halbleiter-Bauelementsubstrats (3) und des Trägersubstrats (1) an ihren Isolations-Teilschichten (2A, 2B) zum Ausbilden einer Isolationsschicht (2); und
- g) Abspalten eines Teils des Halbleiter-Bauelementsubstrats (3) an der Abspalt-Grenzschicht (3S).

10. Verfahren nach Patentanspruch 9, dadurch gekennzeichnet, dass in Schritt a)

- a1) ein elektrochemisches Porenätzen zum Ausbilden von Poren (P) als Vertiefungen in einem Halbleitersubstrat (1); und
- a2) ein Dotieren des Halbleitersubstrats (1) in der Umgebung der Poren (P) zum Ausbilden einer weiteren elektrisch leitenden Schicht als Kondensator-Gegenelektrode (E1) durchgeführt wird.

11. Verfahren nach Patentanspruch 10, dadurch gekennzeichnet, dass in Schritt a2)

- a21) ein Ausbilden eines Dotierglases zumindest in den Poren (P);
- a22) eine thermische Behandlung; und
- a23) eine nass-chemische Entfernung des Dotierglases durchgeführt wird.

12. Verfahren nach einem der Patentansprüche 9 bis 11, dadurch gekennzeichnet, dass in Schritt b) ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante ganzflächig ausgebildet wird.

13. Verfahren nach Patentanspruch 12, dadurch gekennzeichnet, dass nitridiertes Oxid,  $\text{Al}_2\text{O}_3$  und/oder  $\text{TiO}_2$  als Kondensatordielektrikum ausgebildet wird.

14. Verfahren nach einem der Patentansprüche 9 bis 13, dadurch gekennzeichnet, dass in Schritt c)

- c1) eine elektrisch leitende Schicht (E2) zum Auffüllen der Vertiefungen (P) ganzflächig ausgebildet wird; und
- c2) die elektrisch leitende Schicht (E2) zumindest teilweise oder vollständig bis zur dielektrischen Schicht (D) an der Oberfläche des Trägersubstrats (1) entfernt wird.

15. Verfahren nach Patentanspruch 14, dadurch gekennzeichnet, dass in Schritt c1) in-situ dotiertes Polysilizium abgeschieden wird; und in Schritt c2) ein fotolithografisches Strukturieren mit einem anisotropen Rückätzen derart durchgeführt wird, dass eine Vielzahl von Kondensator-Elektroden zur Realisierung eines Gruppen-Kondensators (PK) miteinander verbunden sind.

16. Verfahren nach einem der Patentansprüche 9 bis 15, dadurch gekennzeichnet, dass in Schritt d) ein TEOS-Abscheideverfahren durchgeführt wird.

17. Verfahren nach einem der Patentansprüche 9 bis 16, dadurch gekennzeichnet, dass in Schritt e) ein Halbleiterwafer (3) mit einer Oxidschicht (2B) bereitgestellt wird, wobei die Abspalt-Grenzschicht (3S) mittels Wasserstoff-Implantation ausgebildet ist.

18. Verfahren nach einem der Patentansprüche 9 bis 17, dadurch gekennzeichnet, dass in Schritt f) zum Verbinden ein Waferbonden durchgeführt wird.

19. Verfahren nach einem der Patentansprüche 9 bis 18, dadurch gekennzeichnet, dass in Schritt g) zum Abspalten eine weitere thermische Behandlung durchgeführt wird.

20. Halbleiterschaltung in einem Halbleitersubstrat gemäß einem der Patentansprüche 1 bis 8, gekennzeichnet durch ein Halbleiterbauelement (4, 5, 6, 7, 8), welches in der Halbleiter-Bauelementschicht (3) ausgebildet ist; ein Kontaktloch (V), welches zumindest in der Isolationschicht (2) ausgebildet ist; und eine Verbindungsschicht (9), welche das Halbleiterbauelement (4, 5, 6, 7, 8) über das Kontaktloch (V) mit zumindest einer der Kondensator-Elektroden (E2) verbindet.

21. Halbleiterschaltung nach Patentanspruch 20, dadurch gekennzeichnet, dass es eine DRAM-Speicherzelle mit einem Auswahltransistor (AT) und einem Kondensator (PK) darstellt.

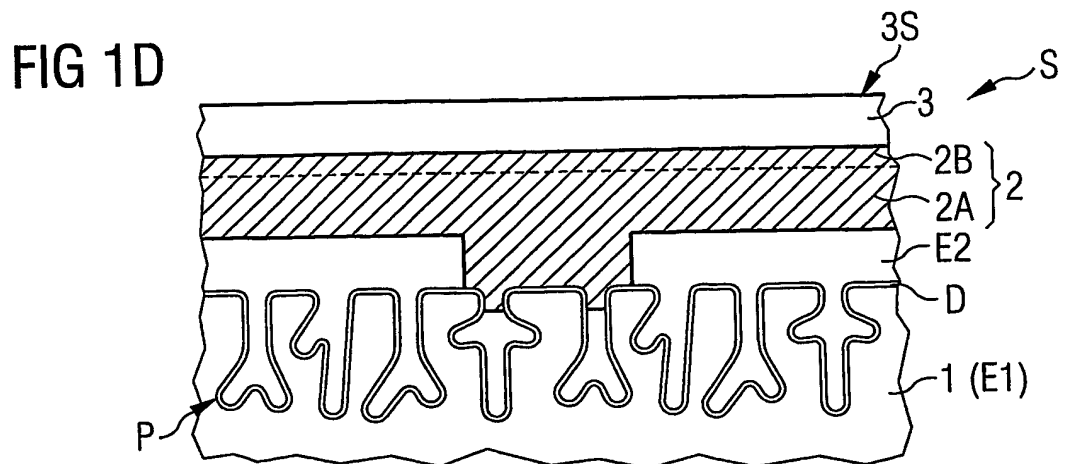
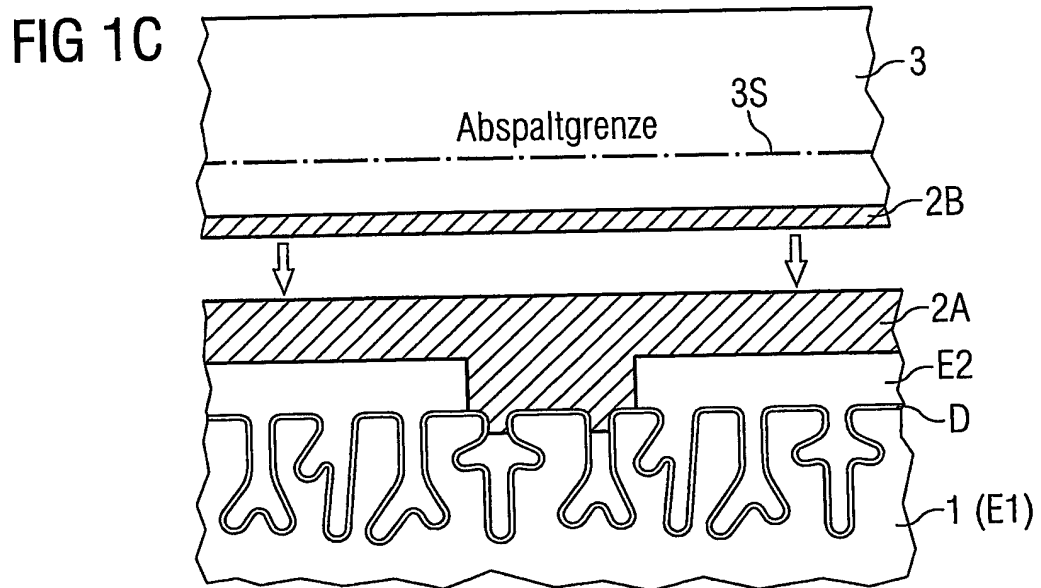
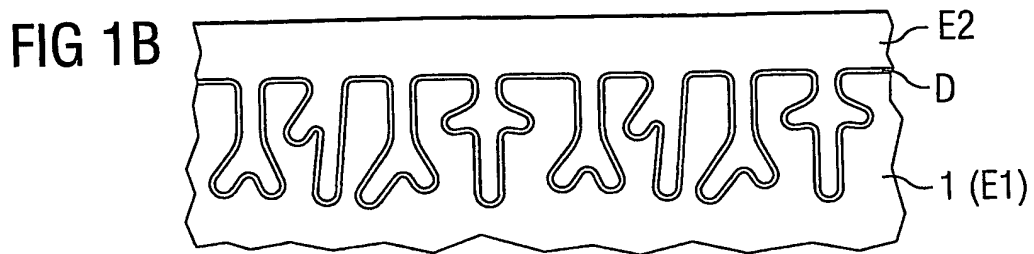
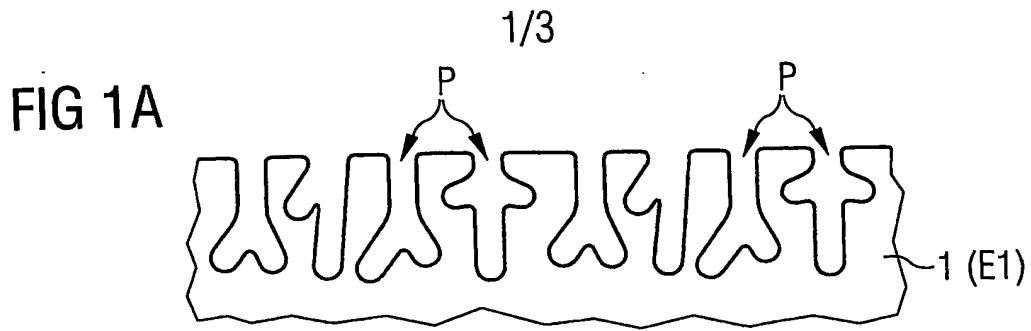
22. Verfahren zur Herstellung einer DRAM-Speicherzelle in einem Halbleitersubstrat gemäß einem der Patentansprüche 1 bis 8 oder einem gemäß der Patentansprüche 9 bis 19 hergestellten Halbleitersubstrat mit den Schritten:

- a) Ausbilden einer flachen Grabenisolierung in der Halbleiter-Bauelementschicht (3) zur Realisierung von aktiven Gebieten;
- b) Ausbilden eines Auswahltransistors (AT) mit Source-/Draingebieten (7), einem Gatedielektrikum (4), einer als Wortleitung (WL) dienenden Steuerschicht (5) und einer Gateisolation (6, 8);
- c) Ausbilden eines Kontaktloches (V) zumindest in der Isolationsschicht (2) und der Halbleiter-Bauelementschicht (3);
- d) Ausbilden einer Verbindungsschicht (9) im Kontaktloch (V) zwischen einem Source-/Draingebiet (7) des Auswahltransistors (AT) und zumindest einer Kondensator-Elektrode (E2);
- e) Ausbilden einer Zwischen-Isolationsschicht (10) mit einem Bitleitungskontakt (11) zu einem komplementären Source-/Draingebiet (7); und

f) Ausbilden und Strukturieren einer Bitleitungsschicht (12) zur Realisierung einer Bitleitung (BL) an der Oberfläche der Zwischen-Isolationsschicht (10).

23. Verfahren nach Patentanspruch 22, d a d u r c h g e -  
k e n n z e i c h n e t , dass in Schritt c)  
unter Verwendung der Gateisolation (6, 8) und eines lithogra-  
fischen Verfahrens das Kontaktloch (V) selbstjustierend frei-  
geätzt wird.

24. Verfahren nach Patentanspruch 22 oder 23, d a d u r c h  
g e k e n n z e i c h n e t , dass in Schritt d)  
zum Ausbilden der Verbindungsschicht (9) eine weitere in-situ  
dotierte polykristalline Halbleiterschicht ganzflächig abge-  
schieden und anschließend isotrop oder anisotrop rückgeätzt  
wird.



2/3

FIG 2A

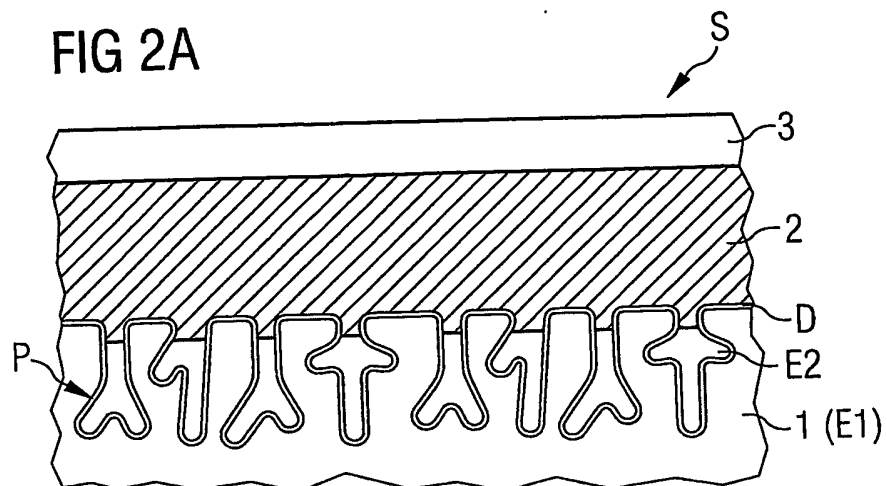
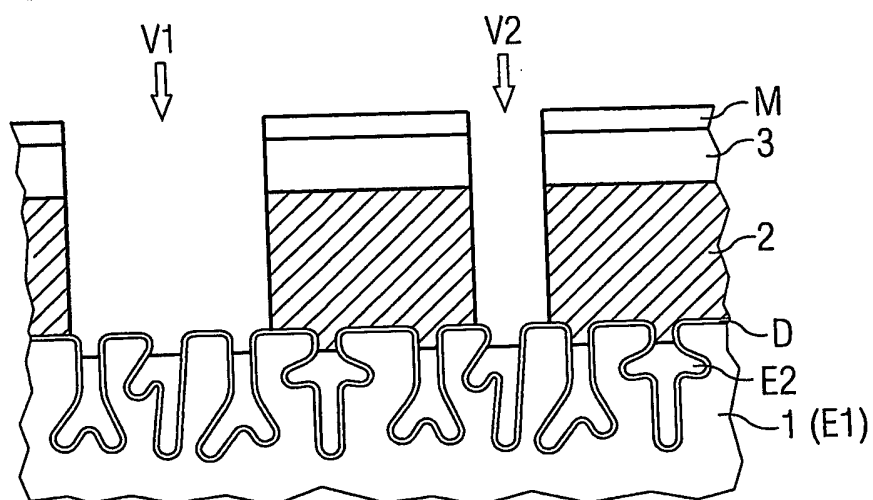
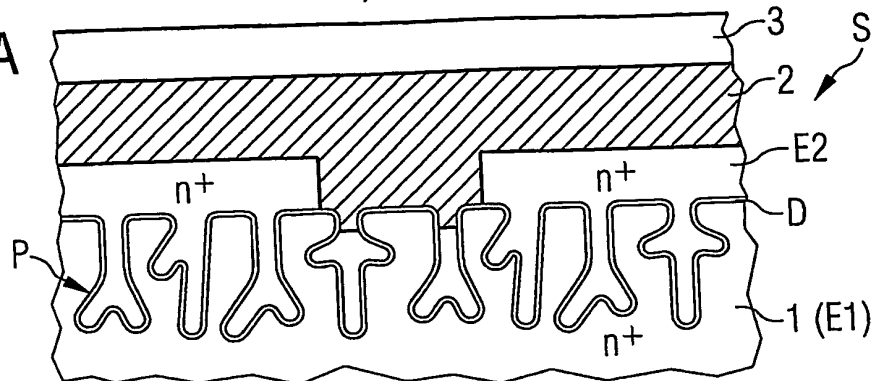


FIG 2B



3/3

**FIG 3A**



**FIG 3B**

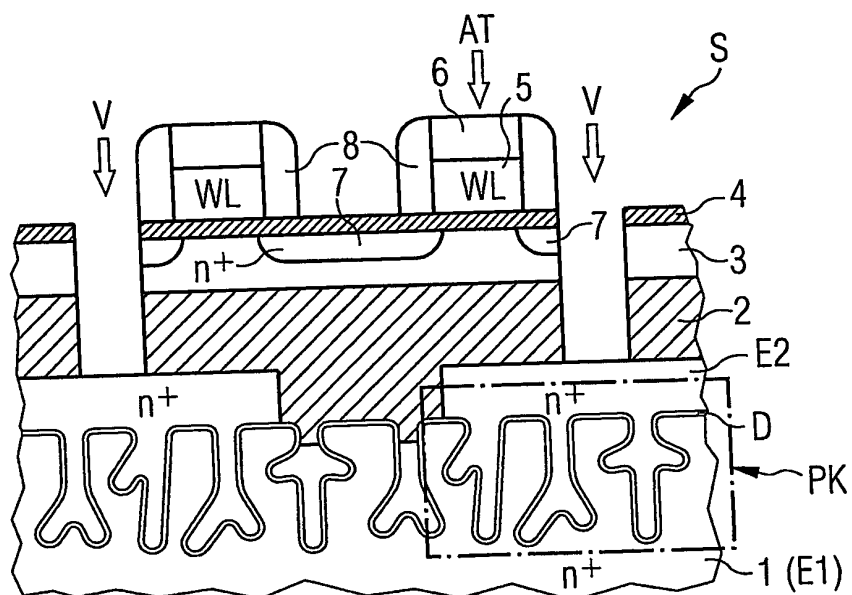
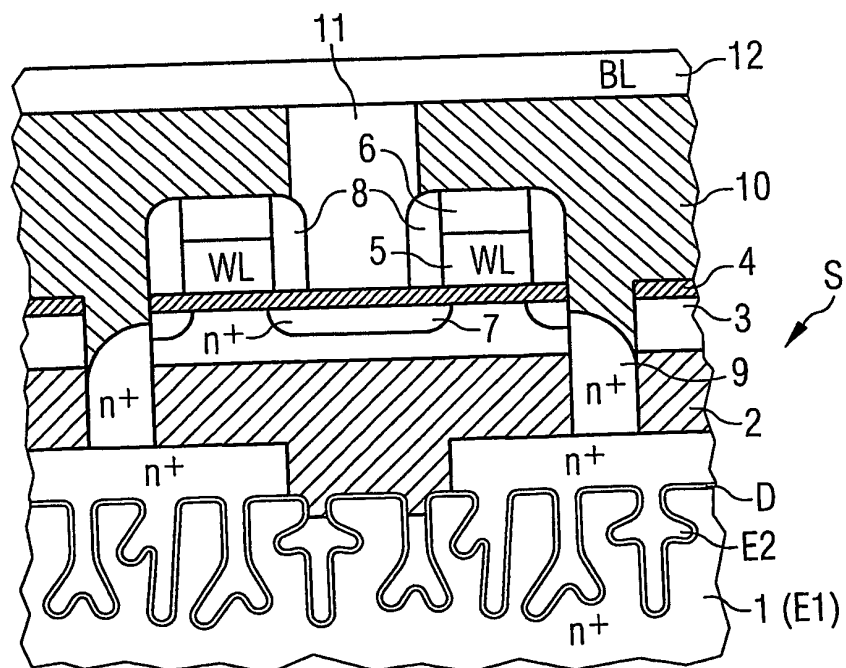


FIG 3C





# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 03/03044

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/8242 H01L27/108 H01L27/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	DE 101 33 688 A (INFINEON TECHNOLOGIES AG) 26 September 2002 (2002-09-26) the whole document	1-24
X	US 5 055 898 A (BEILSTEIN JR KENNETH E ET AL) 8 October 1991 (1991-10-08) the whole document	1, 3, 5-9, 12-24 2, 4, 10, 11
Y	WO 99 25026 A (LEHMANN VOLKER ; SIEMENS AG (DE)) 20 May 1999 (1999-05-20) the whole document	2, 4, 10, 11
X	US 6 306 719 B1 (LEE KYU-PIL) 23 October 2001 (2001-10-23) abstract; figures	1-3, 5-8, 20-24
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*G\* document member of the same patent family

Date of the actual completion of the international search

2 February 2004

Date of mailing of the international search report

06/02/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Sinemus, M

# INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/DE 03/03044

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 187 (E-0917), 16 April 1990 (1990-04-16) -& JP 02 035770 A (MATSUSHITA ELECTRIC IND CO LTD), 6 February 1990 (1990-02-06) abstract	1-3, 5-8, 20-24
A	DE 100 55 711 A (INFINEON TECHNOLOGIES AG) 23 May 2002 (2002-05-23) paragraph '0043! - paragraph '0053!; figures 1, 3G-3I	1-24
A	US 5 739 565 A (MIYAWAKI MAMORU ET AL) 14 April 1998 (1998-04-14) abstract; figures	1-24
A	EP 0 553 791 A (NIPPON ELECTRIC CO) 4 August 1993 (1993-08-04) abstract; figures 6A-6D	2, 4, 10, 15
A	US 6 441 424 B1 (HOENLEIN WOLFGANG ET AL) 27 August 2002 (2002-08-27) cited in the application the whole document	1-24
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 412 (E-676), 31 October 1988 (1988-10-31) & JP 63 151071 A (MATSUSHITA ELECTRIC IND CO LTD), 23 June 1988 (1988-06-23) abstract	2, 15

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/03044

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 10133688	A	26-09-2002	DE 10133688 A1	26-09-2002
US 5055898	A	08-10-1991	JP 2075784 C	25-07-1996
			JP 5129551 A	25-05-1993
			JP 7095587 B	11-10-1995
WO 9925026	A	20-05-1999	WO 9925026 A1	20-05-1999
			EP 1048082 A1	02-11-2000
			JP 2001523050 T	20-11-2001
US 6306719	B1	23-10-2001	KR 123751 B1	25-11-1997
			JP 7122653 A	12-05-1995
			US 5959322 A	28-09-1999
JP 02035770	A	06-02-1990	NONE	
DE 10055711	A	23-05-2002	DE 10055711 A1	23-05-2002
			WO 0239501 A2	16-05-2002
			TW 530413 B	01-05-2003
			US 2003201479 A1	30-10-2003
US 5739565	A	14-04-1998	JP 5160342 A	25-06-1993
EP 0553791	A	04-08-1993	EP 0553791 A1	04-08-1993
			JP 2738256 B2	08-04-1998
			JP 6013547 A	21-01-1994
			US 5372962 A	13-12-1994
US 6441424	B1	27-08-2002	CN 1215231 A	28-04-1999
			EP 0921572 A1	09-06-1999
			JP 11195769 A	21-07-1999
			TW 421875 B	11-02-2001
JP 63151071	A	23-06-1988	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/8242 H01L27/108 H01L27/12

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

#### B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

#### C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P,X	DE 101 33 688 A (INFINEON TECHNOLOGIES AG) 26. September 2002 (2002-09-26) das ganze Dokument ---	1-24
X	US 5 055 898 A (BEILSTEIN JR KENNETH E ET AL) 8. Oktober 1991 (1991-10-08) das ganze Dokument ---	1,3,5-9, 12-24
Y	---	2,4,10, 11
Y	WO 99 25026 A (LEHMANN VOLKER ;SIEMENS AG (DE)) 20. Mai 1999 (1999-05-20) das ganze Dokument ---	2,4,10, 11
X	US 6 306 719 B1 (LEE KYU-PIL) 23. Oktober 2001 (2001-10-23) Zusammenfassung; Abbildungen ---	1-3,5-8, 20-24
	--- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindertischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindertischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*G\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

2. Februar 2004

Absenddatum des internationalen Recherchenberichts

06/02/2004

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sinemus, M

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 187 (E-0917), 16. April 1990 (1990-04-16) -& JP 02 035770 A (MATSUSHITA ELECTRIC IND CO LTD), 6. Februar 1990 (1990-02-06) Zusammenfassung ----	1-3,5-8, 20-24
A	DE 100 55 711 A (INFINEON TECHNOLOGIES AG) 23. Mai 2002 (2002-05-23) Absatz '0043! - Absatz '0053!; Abbildungen 1,3G-3I ----	1-24
A	US 5 739 565 A (MIYAWAKI MAMORU ET AL) 14. April 1998 (1998-04-14) Zusammenfassung; Abbildungen ----	1-24
A	EP 0 553 791 A (NIPPON ELECTRIC CO) 4. August 1993 (1993-08-04) Zusammenfassung; Abbildungen 6A-6D ----	2,4,10, 15
A	US 6 441 424 B1 (HOENLEIN WOLFGANG ET AL) 27. August 2002 (2002-08-27) in der Anmeldung erwähnt das ganze Dokument ----	1-24
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 412 (E-676), 31. Oktober 1988 (1988-10-31) & JP 63 151071 A (MATSUSHITA ELECTRIC IND CO LTD), 23. Juni 1988 (1988-06-23) Zusammenfassung -----	2,15

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zu einer Patentfamilie gehören

Internationaler Zeichen  
PCT/DE 03/03044

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 10133688 A	26-09-2002	DE 10133688 A1	26-09-2002
US 5055898 A	08-10-1991	JP 2075784 C	25-07-1996
		JP 5129551 A	25-05-1993
		JP 7095587 B	11-10-1995
WO 9925026 A	20-05-1999	WO 9925026 A1	20-05-1999
		EP 1048082 A1	02-11-2000
		JP 2001523050 T	20-11-2001
US 6306719 B1	23-10-2001	KR 123751 B1	25-11-1997
		JP 7122653 A	12-05-1995
		US 5959322 A	28-09-1999
JP 02035770 A	06-02-1990	KEINE	
DE 10055711 A	23-05-2002	DE 10055711 A1	23-05-2002
		WO 0239501 A2	16-05-2002
		TW 530413 B	01-05-2003
		US 2003201479 A1	30-10-2003
US 5739565 A	14-04-1998	JP 5160342 A	25-06-1993
EP 0553791 A	04-08-1993	EP 0553791 A1	04-08-1993
		JP 2738256 B2	08-04-1998
		JP 6013547 A	21-01-1994
		US 5372962 A	13-12-1994
US 6441424 B1	27-08-2002	CN 1215231 A	28-04-1999
		EP 0921572 A1	09-06-1999
		JP 11195769 A	21-07-1999
		TW 421875 B	11-02-2001
JP 63151071 A	23-06-1988	KEINE	